

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-101195

(43)Date of publication of application : 04.04.2003

(51)Int.Cl.

H05K 3/18
 H01L 23/12
 H05K 3/06
 H05K 3/24
 H05K 3/28
 H05K 3/46

(21)Application number : 2001-293183

(22)Date of filing : 26.09.2001

(71)Applicant : NEC TOPPAN CIRCUIT SOLUTIONS INC

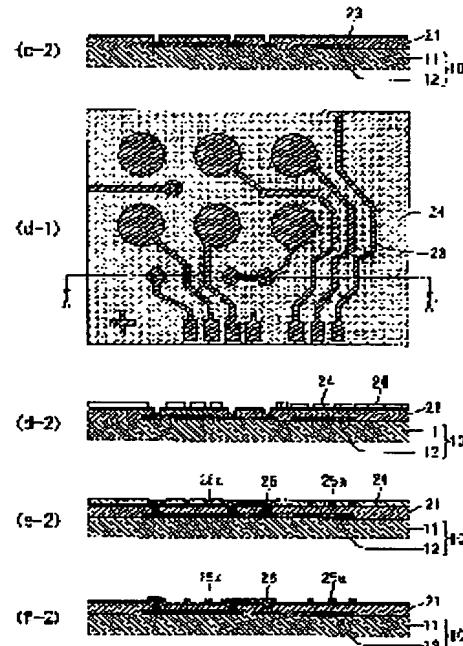
(72)Inventor : OFUSA TOSHIO
 KAMATA MITSUAKI
 SUGIDACHI KAZUHIKO
 OOTA AKITSU
 TOKUSHIMA HIROAKI

(54) SUBSTRATE FOR SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate for semiconductor device with which high density wiring is formed, and a production method for substrate for semiconductor device with which conductive coating such as metal coating can be easily and surely formed on a surface in one part of the conductor pattern of the substrate for semiconductor device by electrolytic plating.

SOLUTION: A hole 22 for via is formed on an insulating layer 21 of a core substrate 10 having wiring layers 12 on both the surfaces of an insulating substrate 11 and a slave conductor layer 23 is formed. A resist pattern 24 is formed on the slave conductor layer 23, and a main conductor layer 25 and a via hole 26 are formed by electrolytic copper plating. The resist pattern 23 is released by a dedicated releasing liquid, a resist pattern 27 is formed, a wiring pattern 31 and a conductive lead 23b for electrolytic plating are formed, conductive material coating 29 composed of nickel or gold coating is formed on the surface in one part of the main conductor layer 25 by electrolytic plating, and the conductive lead 23b for electrolytic plating is removed by etching so that the substrate for semiconductor device can be provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

P E S T A V A I L A B L E C O P Y

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-101195

(P2003-101195A)

(43) 公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl.⁷

H 05 K 3/18
H 01 L 23/12
H 05 K 3/06
3/24
3/28

識別記号

F I

H 05 K 3/18
3/06
3/24
3/28
3/46

テマコート(参考)

G 5 E 3 1 4
A 5 E 3 3 9
D 5 E 3 4 3
B 5 E 3 4 6
B

審査請求 未請求 請求項の数 6 OL (全 14 頁) 最終頁に続く

(21) 出願番号

特願2001-293183 (P2001-293183)

(22) 出願日

平成13年9月26日 (2001.9.26)

(71) 出願人 302060074

株式会社トッパンエヌイーシー・サーティ
ソリューションズ
東京都中央区八重洲二丁目2番7号

(72) 発明者 大房 俊雄

東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

(72) 発明者 鎌田 光昭

東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

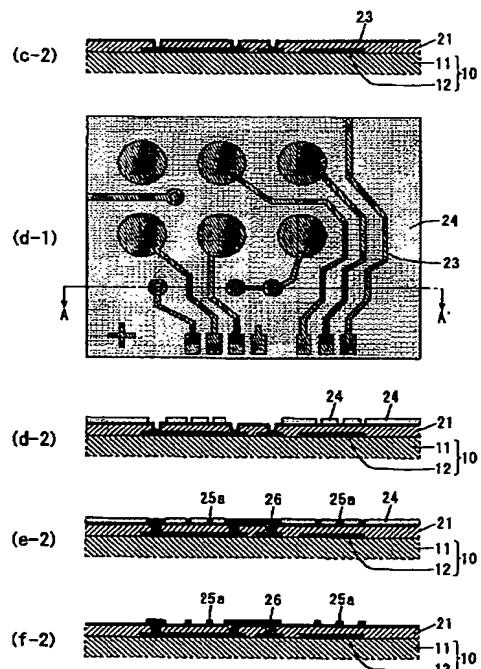
最終頁に続く

(54) 【発明の名称】 半導体装置用基板及びその製造方法

(57) 【要約】

【課題】 高密度配線が形成された半導体装置用基板と半導体装置用基板の導体パターンの一部表面に電解めっきにて容易、且つ確実に金被膜等の導電性皮膜を形成できる半導体装置用基板の製造方法を提供することを目的とする。

【解決手段】 絶縁基板11の両面に配線層12を有するコア基板10の絶縁層21にピア用孔22を形成し、従たる導体層23を形成する。レジストパターン24を従たる導体層上23上に形成し、電解銅めっきにて主たる導体層25及びピアホール26を形成する。レジストパターン24を専用の剥離液で剥離処理し、さらに、レジストパターン27を形成し、配線パターン31及び電解めっき用の導通リード23bを形成し、主たる導体層25の一部表面に電解めっきにてニッケル、金被膜からなる導電性物質被膜29を形成し、電解めっき用の導通リード23bをエッティングで除去し、半導体装置用基板を得る。



【特許請求の範囲】

【請求項1】従たる導体層上に厚みの異なる主たる導体層が直接積み重ねられて一つの導体層が形成されており、前記一つの導体層をパターニング処理して形成された配線パターンの主たる導体層の少なくとも一部表面が主たる導体層とは異なる導電性物質で覆われている半導体装置用基板であって、前記配線パターンの少なくとも一つ以上が電気的に絶縁されていることを特徴とする半導体装置用基板。

【請求項2】前記主たる導体層は銅を主成分とする導電性物質で、前記従たる導体層は銅もしくは銅以外の導電性物質で、前記主たる導体層とは異なる導電性物質はニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質で形成されていることを特徴とする請求項1に記載の半導体装置用基板。

【請求項3】前記主たる導体層は3μm以上の厚みを有し、前記従たる導体層は主たる導体層以下の厚みからなり、前記配線パターンの少なくとも一部が100μmピッチ以下の微細かつ高密度な配線パターンであることを特徴とする請求項1または2に記載の半導体装置用基板。

【請求項4】少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置用基板の製造方法。

- (a) 絶縁基板の両面に従たる導体層を形成する工程。
- (b) 前記従たる導体層上にレジストパターンを形成し、前記レジストパターンをマスクにして主たる導体層、主たる導体パターン及びビアホールを形成し、前記レジストパターンを剥離する工程。
- (c) 前記従たる導体層及び主たる導体パターン上の所定位置にレジストパターンを形成する工程。
- (d) 前記レジストパターンをエッチングマスクにして従たる導体層をエッチングし、前記レジストパターンを剥離し、電気的に絶縁された主たる導体パターンを電気的に接続するめっき用導通リードを従たる導体層で形成する工程。
- (e) 前記主たる導体層構成物質とは異なる導電性物質を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。

(f) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。

(g) 前記レジストマスクを専用の剥離液で除去し、めっき用導通リードをエッチングで除去する工程。

(h) 基板上にソルダーレジストパターンを形成する工程。

【請求項5】少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導

体装置用基板の製造方法。

- (a) 絶縁基板の両面に主たる導体層を形成する工程。
- (b) 前記主たる導体層をパターニング処理し、主たる導体パターンを形成する工程。
- (c) 前記絶縁基板及び前記主たる導体パターン上に従たる導体層を形成する工程。
- (d) 前記従たる導体層上の所定位置にレジストパターンを形成する工程。
- (e) 前記レジストパターンをエッチングマスクにして従たる導体層をエッチングし、めっき用導通リードを形成する工程。
- (f) 前記レジストパターンを専用の剥離液で剥離し、前記主たる導体層構成物質とは異なる導電性物質を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。
- (g) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。
- (h) 前記レジストマスクを専用の剥離液で除去し、前記めっき用導通リードをエッチングで除去する工程。
- (i) 基板上にソルダーレジストパターンを形成する工程。

【請求項6】少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置用基板の製造方法。

- (a) 絶縁基板の両面に主たる導体層を形成する工程。
- (b) 前記主たる導体層をパターニング処理し、主たる導体パターンを形成する工程。
- (c) 前記絶縁基板及び前記主たる導体パターン上の所定位置に開口領域を有するレジストパターンを形成する工程。
- (d) 前記開口領域を導電化処理する工程。
- (e) 前記レジストマスクを専用の剥離液で剥離し、無電解、電解銅めっきを行い、導電化処理された前記開口領域に従たる導体層からなるめっき用導通リードを形成する工程。
- (f) 前記主たる導体層構成物質とは異なる導電性物質を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。

(g) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。

(h) 前記レジストマスクを専用の剥離液で除去し、前記めっき用導通リードをエッチングで除去する工程。

(i) 基板上にソルダーレジストパターンを形成する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】高密度配線を形成した半導体装置用基板とその製造方法に関する。

【0002】

【従来の技術】高密度配線を形成した半導体装置用基板において、導体パターンの保護と半導体装置搭載に不都合を及ぼさないため、導体パターン露出部に金めっきを施す必要があるが、高密度配線を形成した後では電解金めっきを行うためのリードが引き出せないため、無電解金めっきで代替するか、電解金めっきを行うためのめっき用導体接続パターンを形成し、電解金めっきを行った後にめっき用導体接続パターンを除去する方法がとられている。しかし、無電解金めっきにて形成した金めっき皮膜の品質は電解金めっきには及ばず、めっき液やめっき皮膜の不安定性、めっきコストがかさむという問題から、電解金めっきにて金めっき皮膜を形成することが行われており、高密度配線を形成した後では上記のめっき用導体接続パターンの形成、除去の工程が別途発生するという問題を有している。

【0003】また、独立する各端子から金めっき用リードを基板端面部に引き出すと、基板を外形加工して個片に切り離した時に引き出したリードが端面で露出してしまうので、端面にレジストを塗布してリード端面を覆うこともテープベースの一部の品種では行われている。

【0004】

【発明が解決しようとする課題】しかし、従来の高密度配線を形成した後の電解金めっき方法では、めっき用導体パターンの形成、除去工程を追加する必要があり、複雑で、通常工程にいくつかの工程を追加しなければならない。そのため、製造コストがかさんで工期が長くなるだけでなく、収率の低下を招きやすいという問題を有する。また、最初に形成した配線パターンに対しめっき用導体接続パターンの形成、除去プロセスにおいて位置ズレが発生しやすいという問題があり、高密度配線パターンがまばらな部分を選択してめっき用導体接続パターンを設けなければならず、高密度配線パターンに接近した部分にめっき用導体接続パターンを設けると、めっき用導体接続パターンがずれて高密度配線パターンの方に欠けや突起状の形状不良を発生させたり、ひどい場合には高密度配線パターンを断線させてしまうこともある。

【0005】そのため、高密度配線パターンの接続パターン部のピッチを狭めることができず、 $200\mu\text{m}$ ピッチ以上のパターンが限界となっていた。また、インピーダンスをコントロールする必要のあるラインがあると、信号の反射が起こり誤動作を招きやすいため、その部分にめっき用導体接続パターンを形成できないといった不都合もあった。したがって、余分なスペースがなくパターン間が接近した高密度配線や高速回路が多い配線パターンには対応できない。

【0006】さらに、めっき用導体接続パターンを周囲に引き出した場合、そのままでは絶縁性低下の危険性が

あつたり、これを避けるため端面にレジストを塗布する場合には、端面の塗布が難しく工数もかかることからあまり普及していない。

【0007】本発明は上記問題点に鑑み考案されたもので、高密度配線が形成された半導体装置用基板と半導体装置用基板の導体パターンの一部表面に電解めっきにて容易、且つ確実に金被膜等の導電性物質皮膜を形成できる半導体装置用基板の製造方法を提供することを目的とする。

10 【0008】

【課題を解決するための手段】本発明に於いて上記問題を解決するため、まず請求項1においては、従たる導体層上に厚みの異なる主たる導体層が直接積み重ねられて一つの導体層が形成されており、前記一つの導体層をパターニング処理して形成された配線パターンの主たる導体層の少なくとも一部表面が主たる導体層とは異なる導電性物質で覆われている半導体装置用基板であって、前記配線パターンの少なくとも一つ以上が電気的に絶縁されていることを特徴とする半導体装置用基板としたものである。

【0009】また、請求項2においては、前記主たる導体層は銅を主成分とする導電性物質で、前記従たる導体層は銅もしくは銅以外の導電性物質で、前記主たる導体層とは異なる導電性物質はニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質で形成されていることを特徴とする請求項1に記載の半導体装置用基板としたものである。

30 【0010】また、請求項3においては、前記主たる導体層は $3\mu\text{m}$ 以上の厚みを有し、前記従たる導体層は主たる導体層以下の厚みからなり、前記配線パターンの少なくとも一部が $100\mu\text{m}$ ピッチ以下の微細かつ高密度な導体パターンであることを特徴とする請求項1または2に記載の半導体装置用基板としたものである。

【0011】また、請求項4においては、少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置用基板の製造方法としたものである。

(a) 絶縁基板の両面に従たる導体層を形成する工程。
(b) 前記従たる導体層上にレジストパターンを形成し、前記レジストパターンをマスクにして主たる導体層、主たる導体パターン及びビアホールを形成し、前記レジストパターンを剥離する工程。

40 (c) 前記従たる導体層及び主たる導体パターン上の所定位置にレジストパターンを形成する工程。
(d) 前記レジストパターンをエッチングマスクにして従たる導体層をエッチングし、前記レジストパターンを剥離し、電気的に絶縁された主たる導体パターンを電気的に接続するめっき用導通リードを従たる導体層で形成する工程。

(e) 前記主たる導体層構成物質とは異なる導電性物質

を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。

(f) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。

(g) 前記レジストマスクを専用の剥離液で除去し、前記めっき用導通リードをエッチングで除去する工程。

(h) 基板上にソルダーレジストパターンを形成する工程。

【0012】また、請求項5においては、少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置用基板の製造方法としたものである。

(a) 絶縁基板の両面に主たる導体層を形成する工程。

(b) 前記主たる導体層をパターニング処理し、主たる導体パターンを形成する工程。

(c) 前記絶縁基板及び前記主たる導体パターン上に従たる導体層を形成する工程。

(d) 前記従たる導体層上の所定位置にレジストパターンを形成する工程。

(e) 前記レジストパターンをエッチングマスクにして従たる導体層をエッチングし、めっき用導通リードを形成する工程。

(f) 前記レジストパターンを専用の剥離液で剥離し、前記主たる導体層構成物質とは異なる導電性物質を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。

(g) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。

(h) 前記レジストマスクを専用の剥離液で除去し、前記めっき用導通リードをエッチングで除去する工程。

(i) 基板上にソルダーレジストパターンを形成する工程。

【0013】さらにまた、請求項6においては、少なくとも以下の工程を備えていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置用基板の製造方法としたものである。

(a) 絶縁基板の両面に主たる導体層を形成する工程。

(b) 前記主たる導体層をパターニング処理し、主たる導体パターンを形成する工程。

(c) 前記絶縁基板及び前記主たる導体パターン上の所定位置に開口領域を有するレジストパターンを形成する工程。

(d) 前記開口領域を導電化処理する工程。

(e) 前記レジストマスクを専用の剥離液で剥離し、無電解、電解銅めっきを行い、導電化処理された前記開口領域に従たる導体層からなるめっき用導通リードを形成

する工程。

(f) 前記主たる導体層構成物質とは異なる導電性物質を主たる導体パターンの少なくとも一部表面に形成するためのレジストマスクを形成する工程。

(g) 前記レジストマスクをめっきマスクにして電解めっきを行い、めっき用導通リードで接続された主たる導体層の一部表面に主たる導体層構成物質とは異なる導電性物質被膜を形成する工程。

(h) 前記レジストマスクを専用の剥離液で除去し、前記めっき用導通リードをエッチングで除去する工程。

(i) 基板上にソルダーレジストパターンを形成する工程。

【0014】

【発明の実施の形態】請求項1～3に係わる本発明の半導体装置用基板は図1(a)及び(b)に示すように、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルムを積層して絶縁層21が形成されており、配線パターン31は従たる導体パターン23a及び主たる導体パターン25aの2層構成で形成されており、配線パターン31の主たる導体層25一部表面が主たる導体層構成物質とは異なる導電性物質29で覆われてお

り、少なくとも配線パターンの一つ以上が他の配線パターンから電気的に絶縁されている。主たる導体層25は、銅を主成分とする導電性物質で、従たる導体層23は、銅もしくは銅以外の導電性物質で、主たる導体層構成物質とは異なる導電性物質29は、主たる導体層25とは異なるニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質でそれぞれ形成されており、さらに、 $100\mu\text{m}$ ピッチ以下の微細かつ高密度な配線パターン31から構成され、ソルダーレジストパターン32が形成されている。ここで、半導体装置用基板は、4層配線板の事例について説明したが、これに限定されるものではなく、両面配線板、4層以上の配線板にも適用可能である。

【0015】以下、請求項4に係わる本発明の半導体装置用基板の製造方法について説明する。図2～図7に本発明の半導体装置用基板の製造工程の一実施例を工程順に示す模式平面図及び模式構成断面図をそれぞれ示す。まず、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルムを積層して絶縁層21を形成する

(図2(a-1)及び(a-2)参照)。ここで、図2(a-1)～(n-1)は途中工程の模式平面図、図2(a-2)～(n-2)は平面図をA-A'線で切出した模式構成断面図で、以下模式構成断面図は片側のみの表示とする。

【0016】次に、絶縁層21を介して配線層12と電気的接続を行うビアホールを形成するためのビア用孔22を絶縁層21の所定位置にレーザー加工等にて形成する(図2(b-1)及び(b-2)参照)。次に、無電解銅めっきにて絶縁層21上及びビア用孔22側面に所

定厚の従たる導体層23を形成する(図3(c-2)参照)。

【0017】次に、基板全面に感光性樹脂を塗布するか、もしくはドライフィルムを貼り付けて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、配線パターンをセミアディティブ方式で作製するためのレジストパターン24を従たる導体層上23上に形成する(図3(d-1)及び(d-2)参照)。次に、基板の周囲から導通をとつて、レジストパターン24をめっきマスクにして電解銅めっきを行い、主たる導体層25、主たる導体パターン25a及びビアホール26を形成する(図3(e-2)参照)。

【0018】次に、レジストパターン24を専用の剥離液で剥離し(図3(f-2)参照)、さらに、従たる導体層23及び主たる導体層上の所定位置にめっき用導通リードを形成するためのレジストパターン27を形成する(図4(g-1)及び(g-2)参照)。次に、レジストパターン27をエッチングマスクにして従たる導体層23をエッチングし(図4(h-2)参照)、レジストパターン27を専用の剥離液で剥離し、めっき用導通リード23b及び主たる導体パターン25aと従たる導体パターン23aが形成された配線パターン31を形成する(図5(i-1)及び(i-2)参照)。

【0019】次に、配線パターン31の主たる導体層25の一部表面に電解めっきにてニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜を形成するためのめっき用レジストパターン28を形成する(図5(j-1)及び(j-2)参照)。ここで、めっき用導通リード23b及び配線パターン31はレジストパターン28で覆われて導電性物質被膜29が付かないようにしてある。

【0020】次に、基板の周囲から導通をとつて電解めっきを行い、配線パターン31の主たる導体層25の一部表面にニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜29を形成する(図6(k-2)参照)。ここで、導電性物質被膜29としては通常金被膜が用いられる。次に、めっき用レジストパターン28を専用の剥離液で剥離し(図6(l-1)及び(l-2)参照)、めっき用導通リード23bをフラッシュエッチングで除去し、配線パターン31相互が電気的に絶縁され、ビアホール26にて配線層12と電気的に接続された半導体装置用基板を得る(図7(m-1)及び(m-2)参照)。ここで、予め導電性物質被膜29の表面にレジストを被せて保護レジストを形成し、めっき用導通リード23bを除去後に前記保護用レジストを剥離する工程としても良い。さらに、ソルダーレジストパターン32を形成して、配線パターン31がソルダーレジストにて保護、絶縁された本発明の半導体装置用基板を得る(図7(n-1)及び(n-2)参照)。

【0021】以下、請求項5に係る本発明の半導体装置用基板の製造方法について説明する。図10～図11に半導体装置用基板の製造工程の一実施例を工程順に示す模式構成断面図を示す。まず、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルム付き銅箔を積層して絶縁層71及び導体層72を形成する(図10(a)参照)。次に、導体層72をパターニング処理して、開口部73を形成する(図10(b)参照)。

【0022】次に、開口部73にレーザービームを照射し、絶縁層71にビア用孔74を形成する(図10(c)参照)。次に、ビア用孔74を導電化処理して、電解銅めっき等にてビア用孔74にビアホール75を、導体層72上に所定厚の導体層をめっきして主たる導体層76を形成する(図10(d)参照)。

【0023】次に、主たる導体層76をパターニング処理して、主たる導体パターン76aを形成する(図10(e)参照)。次に、絶縁層71及び主たる導体パターン76a上に無電解銅めっき及び電解銅めっきを行い、従たる導体層77を形成する(図10(f)参照)。

【0024】次に、従たる導体層77上に感光層を形成し、パターン露光、現像等の一連のパターニング処理を行い、従たる導体層77の所定位置にレジストパターン78を形成する(図10(g)参照)。

【0025】次に、レジストパターン78をマスクにして従たる導体層77をエッチングし(図11(h)参照)、レジストパターン78を専用の剥離液で剥離し、電気的に絶縁された主たる導体パターンを電気的に接続するためのめっき用導通リード77aを形成する(図11(i)参照)。

【0026】次に、主たる導体パターン76aの一部表面に電解めっきにてニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜を形成するためのめっき用レジストパターン79を形成する(図11(j)参照)。

【0027】次に、基板の周囲から導通をとつて電解めっきを行い、主たる導体パターン76aの一部表面にニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜81を形成する(図11(k)参照)。ここで、導電性物質被膜81としては通常金被膜が用いられる。

【0028】次に、めっき用レジストパターン79を専用の剥離液で剥離し(図11(l)参照)、めっき用導通リード77aをフラッシュエッチングで除去し、主たる導体パターン76a相互が電気的に絶縁され、ビアホール75にて配線層12と電気的に接続された半導体装置用基板を得る(図11(m)参照)。さらに、ソルダーレジストパターン82を形成して、主たる導体パターン76aがソルダーレジストにて保護、絶縁された半導体装置用基板を得る(図11(n)参照)。

【0029】以下、請求項6に係る本発明の半導体装

置用基板の製造方法について説明する。図12～図13に半導体装置用基板の製造工程の一実施例を工程順に示す模式構成断面図を示す。まず、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルム付き銅箔を積層して絶縁層71及び導体層72を形成し、導体層72をパーニング処理して、開口部73を形成する(図12(a)～(b)参照)。

【0030】次に、開口部73にレーザービームを照射し、絶縁層71にビア用孔74を形成し、ビア用孔74を導電化処理して、電解銅めっき等にてビア用孔74にビアホール75を、導体層72上に所定厚の導体層をめっきして主たる導体層76を形成する(図12(c)～(d)参照)。

【0031】次に、主たる導体層76をパーニング処理して、主たる導体パターン76aを形成する(図12(e)参照)。

【0032】次に、絶縁層71及び主たる導体パターン76a上に感光層を形成し、パターン露光、現像等の一連のパーニング処理を行い、所定位置に開口領域92を有するレジストパターン91を形成する(図12(f)参照)。

【0033】次に、開口領域92を導電化処理し、レジストパターン91を専用の剥離液で剥離し、無電解、電解銅めっきを行い、導電化処理された開口領域92に従たる導体層からなるめっき用導通リード93を形成する(図12(g)参照)。

【0034】次に、主たる導体パターン76aの一部表面に電解めっきにてニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜を形成するためのめっき用レジストマスク94を形成する(図13(h)参照)。

【0035】次に、基板の周囲から導通をとつて電解めっきを行い、主たる導体パターン76aの一部表面にニッケル、パラジウム、金、白金、ロジウム、銀及び錫のうち少なくとも1種類からなる導電性物質被膜95を形成する(図13(i)参照)。ここで、導電性物質被膜95としては通常金被膜が用いられる。

【0036】次に、めっき用レジストマスク94を専用の剥離液で剥離し(図13(j)参照)、めっき用導通リード93をフラッシュエッティングで除去し、主たる導体パターン76a相互が電気的に絶縁され、ビアホール75にて配線層12と電気的に接続された半導体装置用基板を得る(図13(k)参照)。さらに、ソルダーレジストパターン96を形成して、主たる導体パターン76aがソルダーレジストにて保護、絶縁された半導体装置用基板を得る(図13(l)参照)。

【0037】

【実施例】以下実施例により本発明を詳細に説明する。<実施例1>請求項4に係る半導体装置基板の製造方法の一実施例である。まず、絶縁基板11の両面に配線

層12を形成したコア基板10に、絶縁層21及び極薄銅箔(厚み約3μm、三井金属製)(特に図示せず)が形成された4層板を準備した(図2(a-1)及び(a-2)参照)。次に、絶縁層21の所定位置にUVレーザー(ML605LDX、三菱電機製)にて穴明け加工し、80μmのビア用孔22を形成し、過マンガン酸処理で樹脂表面を粗化した(図2(b-1)及び(b-2)参照)。次に、無電解銅めっき及び電解銅めっきを行つて、絶縁層21上に3～4μm厚の銅の薄膜からなる従たる導体層23を形成した(図3(c-2)参照)。

【0038】次に、従たる導体層23を整面後、厚み30μmのドライフィルムを貼り合せて感光層を形成し、パターン露光、現像等の一連のパーニング処理を行つて、レジストパターン24を形成した(図3(d-1)及び(d-2)参照)。次に、レジストパターン24をめっきマスクにして電解銅めっきを行い、約25μm厚の主たる導体層25、主たる導体パターン25a及びビアホール26を形成した(図3(e-2)参照)。さらに、専用の剥離液でレジストパターン24を除去した(図3(f-2)参照)。

【0039】次に、液状レジスト(PMER N-HC40(商品名)、東京応化製)を塗布して感光層を形成し、パターン露光、現像等の一連のパーニング処理を行つて、70℃で20分乾燥してレジストパターン27を形成した(図4(g-1)及び(g-2)参照)。次に、硫酸-加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)に30秒から1分間浸漬し、レジストパターン27をエッティングマスクにして表面に露出した従たる導体層23をエッティングし、除去した(図4(h-2)参照)。次に、50℃に加熱した1%水酸化ナトリウム溶液でレジストパターン27を剥離し、めっき用導通リード23b及び主たる導体パターン25aと従たる導体パターン23aからなる配線パターン31を形成した(図5(i-1)及び(i-2)参照)。

【0040】次に、金めっき液耐性のあるドライフィルム(ニチゴーモートン製)を貼り合せて感光層を形成し、パターン露光、現像等の一連のパーニング処理を行つて、めっき用レジストパターン28を形成した(図5(j-1)及び(j-2)参照)。次に、基板の周囲から導通をとつて電解ニッケルめっき及び電解金めっきを順に行つて、主たる導体層25の一部表面に厚み約5μmのニッケル皮膜及び厚み約0.5μmの金皮膜からなる導電性物質被膜29を形成した(図5(k-2)参照)。

【0041】次に、アルカリ溶液でレジストパターン28を剥離し(図6(1-1)及び(j-2)参照)、さらに、硫酸-加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)の新液に30秒から1分間浸漬して、めっき用導通リード23bを除去し、半導体装置

用基板を得た(図7(m-1)及び(m-2)参照)。最後に、ソルダーレジスト(PSR-4000 AUS 5(商品名)、太陽インキ製)を印刷してソルダーレジスト感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、ソルダーレジストパターン32を形成し、外形加工を行って、配線パターンピッチ70μmで電解金めっき仕様の半導体装置用基板を得た(図7(n-1)及び(n-2)参照)。

【0042】<実施例2>請求項4に係わる半導体装置基板の製造方法の他の実施例である。まず、絶縁基板11の両面に配線層12を形成したコア基板10に、フィルム状樹脂(ABF-75(商品名)、味の素ファインテクノ製)を真空ラミネーターで両面に貼り合せ、140℃で30分間ポストキュアを行い絶縁層51を形成した(図8(a)参照)。次に、絶縁層51の所定位置にUVレーザー(ML605LDX(商品名)、三菱電機製)にて穴明け加工し、80μmφのビア用孔52を形成し、過マンガン酸処理で樹脂表面を粗化した(図8(b)参照)。次に、無電解銅めっき及び電解銅めっきを行って、絶縁層51上及びビア用孔52側面に約2~3μm厚の銅の薄膜からなる従たる導体層53を形成した(図8(c)参照)。

【0043】次に、従たる導体層53を整面後、ロールコーテーでポジ型液状レジストをコーティングして感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、レジストパターン54を形成した(図8(d)参照)。次に、レジストパターン54をめっきマスクにして電解銅めっきを行い、約25μm厚の主たる導体層55、主たる導体パターン55a及びビアホール56を形成した(図8(e)参照)。

【0044】次に、再びロールコーテーでポジ型液状レジストをコーティングして感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、めっき用導通リード及び配線パターンを形成するためのレジストパターン57を形成した(図8(f)参照)。次に、硫酸-加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)に30秒から1分間浸漬し、レジストパターン57をエッティングマスクにして、露出した主たる導体層55及び従たる導体層53をエッティングし、除去した(図8(g)参照)。

【0045】次に、有機アミン系アルカリ溶液でレジストパターン57を剥離し、主たる導体パターン55a及び従たる導体パターン53aからなる配線パターン61及びめっき用導通リード53bを形成した(図9(h)参照)。

【0046】次に、金めっき液耐性のあるドライフィルム(ニチゴーモートン製)を貼り合せて感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、電解めっき用のレジストパターン58を形成した(図9(i)参照)。次に、基板の周囲から導通をと

って電解ニッケルめっき及び電解金めっきを順に行い、主たる導体層25の一部表面に厚み約5μmのニッケル皮膜及び厚み約0.5μmの金皮膜からなる導電性物質被膜59を形成した(図9(j)参照)。

【0047】次に、アルカリ溶液でレジストパターン58を剥離し(図9(k)参照)、さらに、硫酸-加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)の新液に30秒から1分間浸漬して、めっき用導通リード53bを除去し、半導体装置用基板を得た(図9(l)参照)。最後に、ソルダーレジスト(PSR-4000 AUS 7(商品名)、太陽インキ製)を印刷してソルダーレジスト感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、ソルダーレジストパターン62を形成し、外形加工を行って、配線パターンピッチ40μmで電解金めっき仕様の半導体装置用基板を得た(図9(m)参照)。

【0048】<実施例3>請求項4に係わる半導体装置基板の製造方法の他の実施例である。まず、絶縁基板11の両面に配線層12を形成したコア基板10に、外層に厚み35μmの銅キャリア付きレーザー加工用極薄銅箔(厚み約3μm、三井金属製)を積層した4層板の銅キャリアを剥離して絶縁層51及び極薄銅箔(特に図示せず)が形成された4層板を準備した(図8(a)参照)。次に、絶縁層51及び極薄銅箔の所定位置に炭酸ガスレーザー(ML505GT(商品名)、三菱電機製)にて穴明け加工し、150μmφのビア用孔52を形成した(図8(b)参照)。次に、無電解銅めっき及び電解銅めっきを行って、絶縁層51上及びビア用孔52側面に約2~4μm厚の銅の薄膜からなる従たる導体層53を形成した(図8(c)参照)。

【0049】次に、従たる導体層53を整面後、厚み30μmのドライフィルムを貼り合せて感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、レジストパターン54を形成した(図8(d)参照)。次に、レジストパターン54をめっきマスクにして電解銅めっきを行い、約28μm厚の主たる導体層55、主たる導体パターン55a及びビアホール56を形成した(図8(e)参照)。

【0050】次に、厚み30μmのドライフィルムを貼り合せて感光層を形成し、パターン露光、現像等の一連のパターンニング処理を行って、めっき用導通リード及び配線パターンを形成するためのレジストパターン57を形成した(図8(f)参照)。次に、レジストパターン57をエッティングマスクにして、塩化第2銅液にて表面に露出した主たる導体層55及び従たる導体層53をエッティングし、除去した(図8(g)参照)。

【0051】次に、水酸化ナトリウム溶液でレジストパターン57を剥離し、主たる導体パターン55a及び従たる導体パターン53aからなる配線パターン61及びめっき用導通リード53bを形成した(図9(h)参

照)。

【0052】次に、金めっき液耐性のあるドライフィルム(ニチゴーモートン製)を貼り合せて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、電解めっき用のレジストパターン58を形成した(図9(i)参照)。次に、基板の周囲から導通をとって電解ニッケルめっき及び電解金めっきを順に行い、主たる導体層25の一部表面上に厚み約3μmのニッケル皮膜及び厚み約0.3μmの金皮膜からなる導電性物質被膜29を形成した(図9(j)参照)。

【0053】次に、アルカリ溶液でレジストパターン58を剥離し(図9(k)参照)、さらに、硫酸一加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)の新液に30秒から1分間浸漬して、めっき用導通リード53bを除去し、半導体装置用基板を得た(図9(l)参照)。最後に、ソルダーレジスト(PSR-4000AUS5(商品名)、太陽インキ製)を印刷してソルダーレジスト感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、ソルダーレジストパターン62を形成し、外形加工を行って、配線パターンピッチ80μmで電解金めっき仕様の本発明の半導体装置用基板を得た(図9(m)参照)。

【0054】<実施例4>請求項5に係る半導体装置基板の製造方法の一実施例である。まず、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルム付きの18μmの銅箔を積層して絶縁層71及び導体層72を形成した(図10(a)参照)。次に、導体層72上にドライフィルムを貼り合わせ、パターン露光、現像等の一連のパターニング処理を行って、レジストパターンを形成し、60℃、47°ボーメの塩化第2鉄溶液で、導体層72をエッティングし、50℃、1%の水酸化ナトリウム溶液をスプレーで吹き付けてレジストパターンを剥離し、開口部73を形成した(図10(b)参照)。

【0055】次に、開口部73よりレーザービームを照射し、絶縁層71にビア用孔74を形成した(図10(c)参照)。次に、ビア用孔74をパラジウム触媒にて導電化処理して、無電解及び電解銅めっきにてビア用孔74側面に2~3μmの銅の薄膜を形成し、電解銅めっきを行って、ビア用孔74にビアホール75を、導体層72上に15μm厚の銅の被膜を形成して主たる導体層76を形成した(図10(d)参照)。

【0056】次に、主たる導体層76上にドライフィルムを貼り合せて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、レジストパターンを形成し、60℃、47°ボーメの塩化第2鉄溶液で、主たる導体層76をエッティングし、50℃、1%の水酸化ナトリウム溶液をスプレーで吹き付けてレジストパターンを剥離し、主たる導体パターン76aを形成した(図10(e)参照)。次に、絶縁層71及び主たる

導体パターン76a上をパラジウム触媒にて導電化処理して、無電解及び電解銅めっきを行い、2~3μmの從たる導体層77を形成した(図10(f)参照)。

【0057】次に、從たる導体層77上にドライフィルムを貼り合せて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行い、從たる導体層77の所定位置にレジストパターン78を形成した(図10(g)参照)。次に、レジストパターン78をマスクにして從たる導体層77をエッティングし(図11(h)参照)、レジストパターン78を専用の剥離液で剥離し、電気的に絶縁された主たる導体パターンを電気的に接続するめっき用導通リード77aを形成した(図11(i)参照)。

【0058】次に、金めっき耐性のあるドライフィルム(ニチゴーモートン製)を貼り合せて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、電解めっき用のレジストパターン79を形成した(図11(j)参照)。次に、基板の周囲から導通をとって電解ニッケルめっき及び電解金めっきを順に行い、主たる導体層の一部表面上に厚み約5μmのニッケル皮膜及び厚み約1μmの金皮膜からなる導電性物質被膜81を形成した(図11(k)参照)。

【0059】次に、めっき用レジストパターン79をアルカリ溶液で剥離し(図11(l)参照)、硫酸一加水系エッティング液(CPB-60(商品名)、三菱ガス化学製)の新液に30秒から1分間浸漬してめっき用導通リード77aを除去し、主たる導体パターン76a相互が電気的に絶縁され、ビアホール75にて配線層12と電気的に接続された半導体装置用基板を得た(図11(m)参照)。最後に、ソルダーレジスト(PSR-4000AUS5(商品名)、太陽インキ製)を印刷してソルダーレジスト感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、ソルダーレジストパターン82を形成して、主たる導体パターン76aがソルダーレジストにて保護、絶縁された半導体装置用基板を得た(図11(n)参照)。

【0060】<実施例5>請求項6に係る半導体装置基板の製造方法の一実施例である。まず、絶縁基板11の両面に配線層12を有するコア基板10に樹脂フィルム付きの18μmの銅箔を積層して絶縁層71及び導体層72を形成し、導体層72上にドライフィルムを貼り合わせ、パターン露光、現像等の一連のパターニング処理を行ってレジストパターンを形成し、60℃、47°ボーメの塩化第2鉄溶液で、導体層72をエッティングし、50℃、1%の水酸化ナトリウム溶液をスプレーで吹き付けてレジストパターンを剥離し、開口部73を形成した(図12(a)~(b)参照)。

【0061】次に、開口部73よりレーザービームを照射し、絶縁層71にビア用孔74を形成し、ビア用孔74をパラジウム触媒にて導電化処理して、無電解及び電

解銅めっきにてビア用孔74側面に2～3μmの銅の薄膜を形成した。さらに、電解銅めっきを行って、ビア用孔74にビアホール75を、導体層72上に15μm厚の銅の被膜を形成して主たる導体層76を形成した(図12(c)～(d)参照)。

【0062】次に、主たる導体層76上にドライフィルムを貼り合わせて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、レジストパターンを形成し、60℃、47°ボーメの塩化第2鉄溶液で、主たる導体層76をエッチングし、50℃、1%の水酸化ナトリウム溶液をスプレーで吹き付けてレジストパターンを剥離し、主たる導体パターン76aを形成した(図12(e)参照)。

【0063】次に、絶縁層71及び主たる導体パターン76a上にドライフィルムを貼り合わせて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行い、所定位置に開口領域92を有するレジストパターン91を形成した(図12(f)参照)。

【0064】次に、開口領域92をバラジウム触媒にて導電化処理して、レジストパターン91を専用の剥離液で剥離し、無電解及び電解銅めっきを行い、導電化処理された開口領域92に2～3μm厚の従たる導体層からなるめっき用導通リード93を形成した(図12(g)参照)。

【0065】次に、金めっき耐性のあるドライフィルム(ニチゴーモートン製)を貼り合せて感光層を形成し、パターン露光、現像等の一連のパターニング処理を行って、電解めっき用のレジストマスク94を形成した(図13(h)参照)。

【0066】次に、基板の周囲から導通をとつて電解ニッケルめっき及び電解金めっきを順に行い、主たる導体層の一部表面上に厚み約5μmのニッケル皮膜及び厚み約1μmの金皮膜からなる導電性物質被膜95を形成した(図13(i)参照)。

【0067】次に、めっき用レジストマスク94をアルカリ溶液で剥離し(図13(j)参照)、硫酸一加水系エッチング液(CPB-60(商品名)、三菱化学製)の新液に30秒から1分間浸漬してめっき用導通リード93を除去し、導体パターンピッチ40μmの主たる導体パターン76a相互が電気的に絶縁され、ビアホール75にて配線層12と電気的に接続された半導体装置用基板を得た(図13(k)参照)。最後に、ソルダーレジスト(PSR-4000AUS5(商品名)、太陽インキ製)を印刷してソルダーレジスト感光層を形成し、パターン露光、現像等の一連のパターニング処理を行つてソルダーレジストパターン96を形成して、主たる導体パターン76aがソルダーレジストにて保護、絶縁された半導体装置用基板を得た(図13(l)参照)。

【0068】

【発明の効果】本発明の半導体装置用基板の製造方法では、半導体装置用基板の製造工程の途中でめっき用導通リードを従たる導体層で形成し、このめっき用導通リードを用いて配線パターンの一部表面に金膜等の導電性物質被膜を電解めっきにて形成した後このめっき用導通リードを除去するため、従来の工程で必要としていためっき用導通リード追加のための設計変更とパターン形成用マスクの変更と調整、めっき用導通リード除去用パターンの設計とマスク作製などがほとんど不要になり、製造工程の短縮及びコスト削減を行うことができる。また、50μmピッチ程度の微細配線パターン密集部に外部と電気的に接続しない孤立パターンがある場合にも電解金めっきを行うことができ、めっきリード除去によるパターンの形状不良や断線発生がなくなった。さらに、高密度配線基板を得ることができ、位置合わせに煩わされることもなくなった。また、引き出しリードが端面に残らないようにできるため、端面部に露出したリードによる絶縁性低下やマイグレーション発生などがなくなり、絶縁信頼性が向上した。

【図面の簡単な説明】

【図1】(a)は、本発明の半導体装置用基板の一実施例を示す模式平面図である。(b)は、模式平面図をA-A'線で切断した本発明の半導体装置用基板の一実施例を示す模式構成断面図である。

【図2】(a-1)、(b-1)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式平面図である。(a-2)、(b-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図3】(d-1)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を示す模式平面図である。(c-2)～(f-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図4】(g-1)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を示す模式平面図である。(g-2)、(h-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図5】(i-1)、(j-1)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式平面図である。(i-2)、(j-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図6】(l-1)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を示す模式平面図である。(k-2)、(l-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図7】(m-1)、(n-1)は、請求項4に係わる

半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式平面図である。(m-2)、(n-2)は、請求項4に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図8】(a)～(g)は、請求項4に係わる半導体装置用基板の製造方法の他の実施例の一部を工程順に示す模式構成断面図である。

【図9】(h)～(m)は、請求項4に係わる半導体装置用基板の製造方法の他の実施例の一部を工程順に示す模式構成断面図である。

【図10】(a)～(g)は、請求項5に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図11】(h)～(n)は、請求項5に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

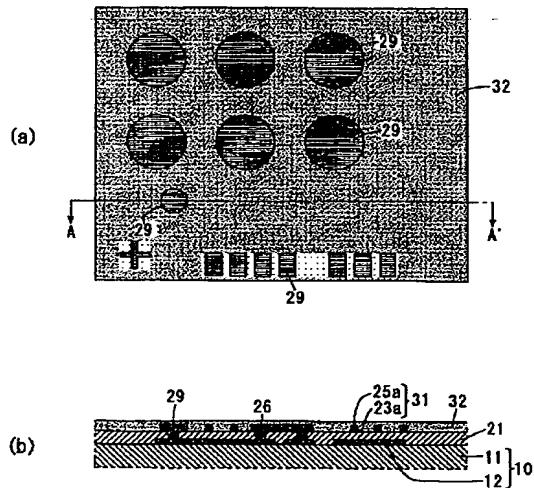
【図12】(a)～(g)は、請求項6に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

【図13】(h)～(l)は、請求項6に係わる半導体装置用基板の製造方法の一実施例の一部を工程順に示す模式構成断面図である。

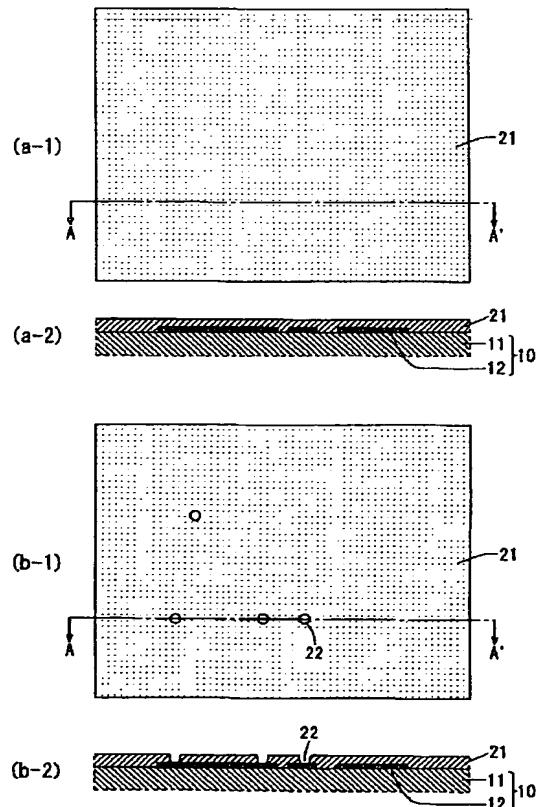
* 【符号の説明】

- 10 ……コア基板
- 11 ……絶縁基板
- 12 ……配線層
- 21、51、71 ……絶縁層
- 22、52、74 ……ビア用孔
- 23、53、77 ……従たる導体層
- 23a、53a ……従たる導体パターン
- 23b、77a、93 ……めっき用導通リード
- 10 24、54、91 ……レジストパターン
- 25、55、76 ……主たる導体層
- 25a、55a、76a ……主たる導体パターン
- 26、56、75 ……ビアホール
- 27、57、78 ……レジストパターン
- 28、58、79 ……めっき用レジストパターン
- 29、59、81、95 ……導電性物質被膜
- 31、61 ……配線パターン
- 32、62、82 ……ソルダーレジストパターン
- 72 ……導体層
- 73 ……開口部
- 92 ……開口領域
- 94 ……めっき用レジストマスク

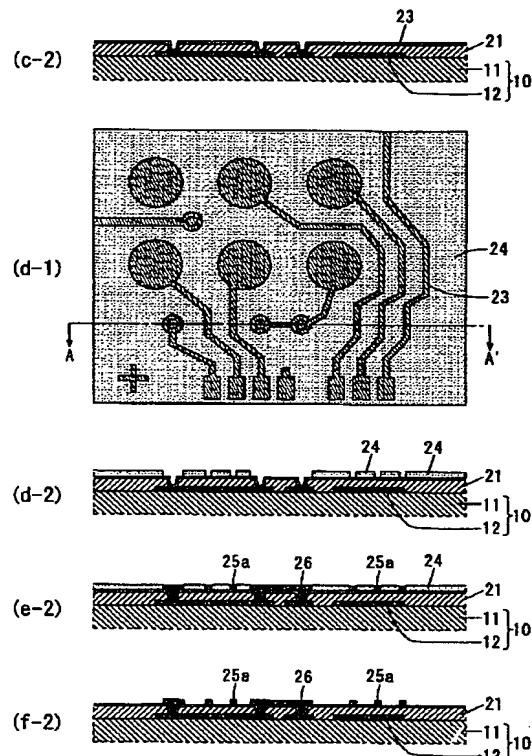
【図1】



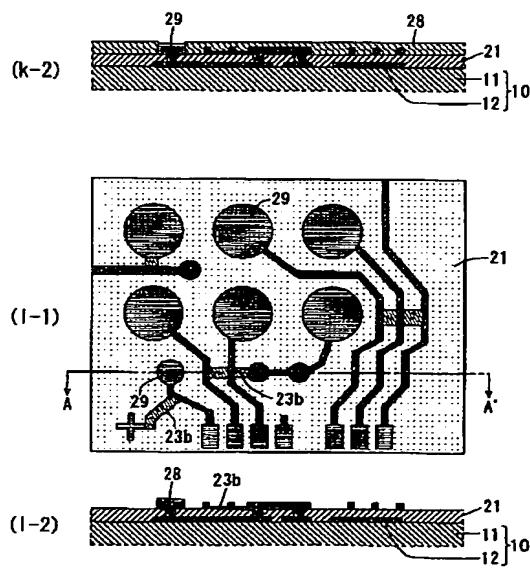
【図2】



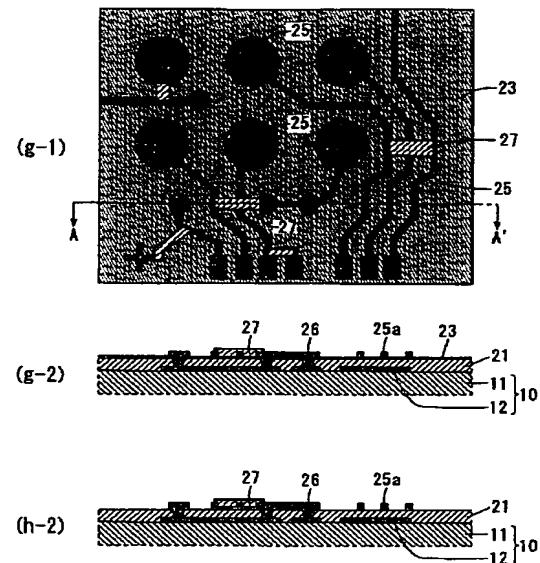
【図3】



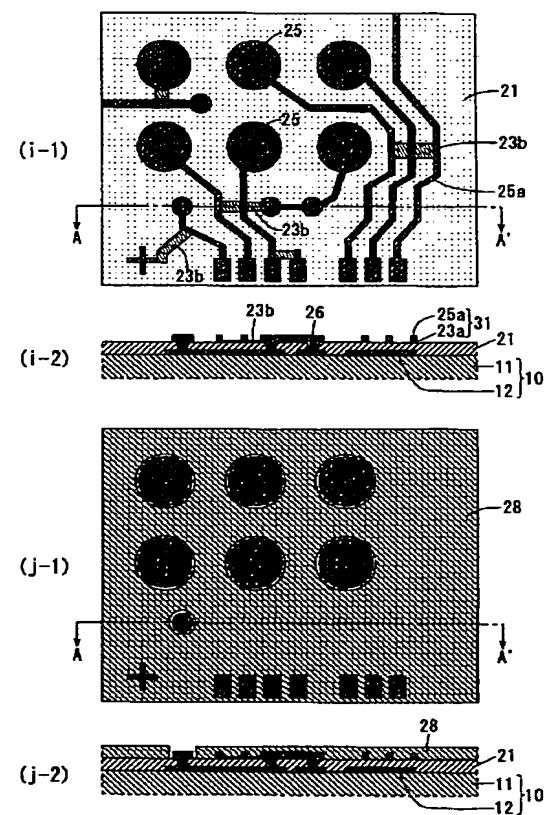
【図6】



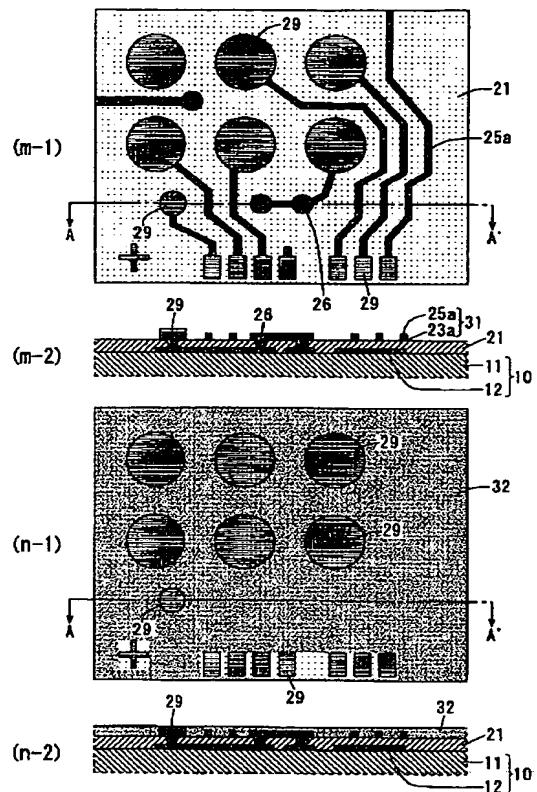
【図4】



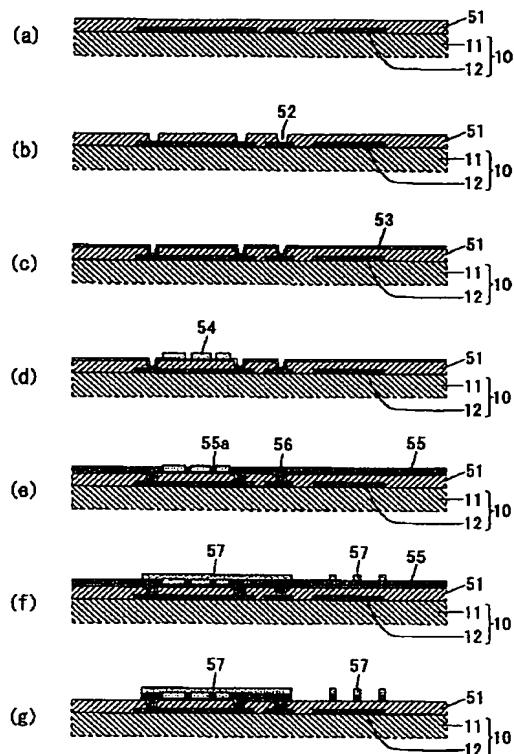
【図5】



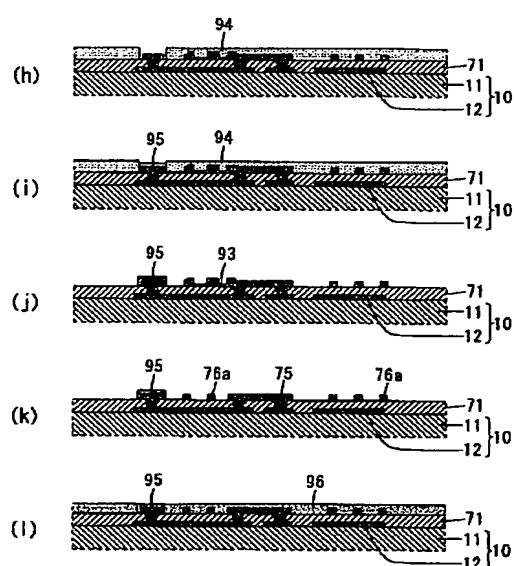
【図7】



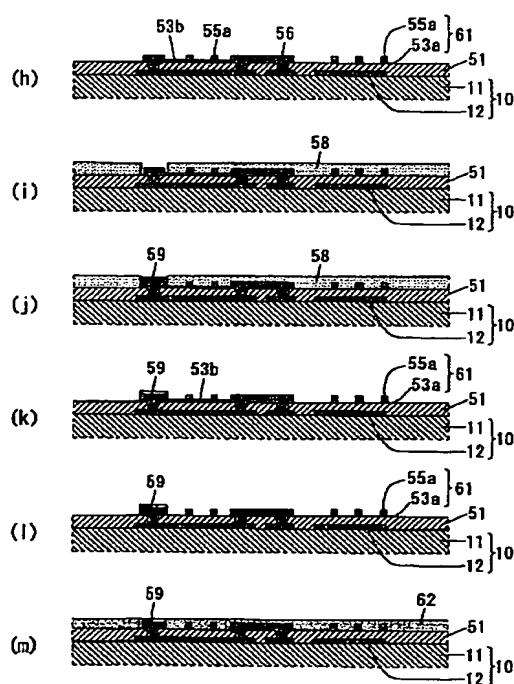
【図8】



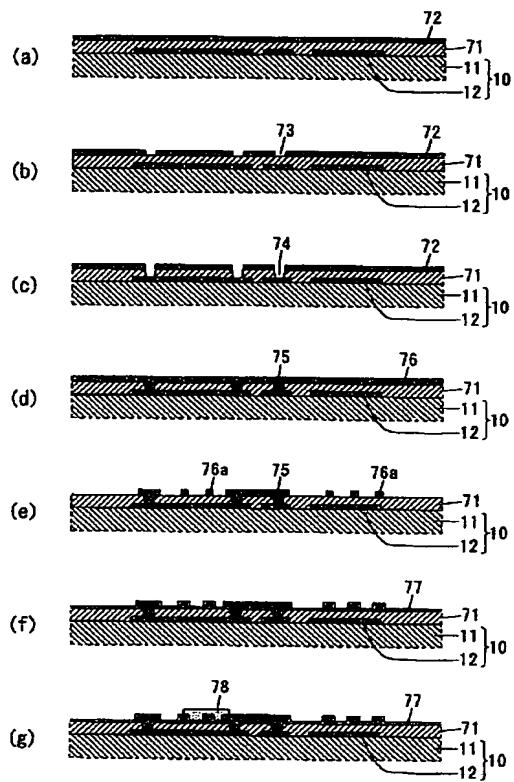
【図13】



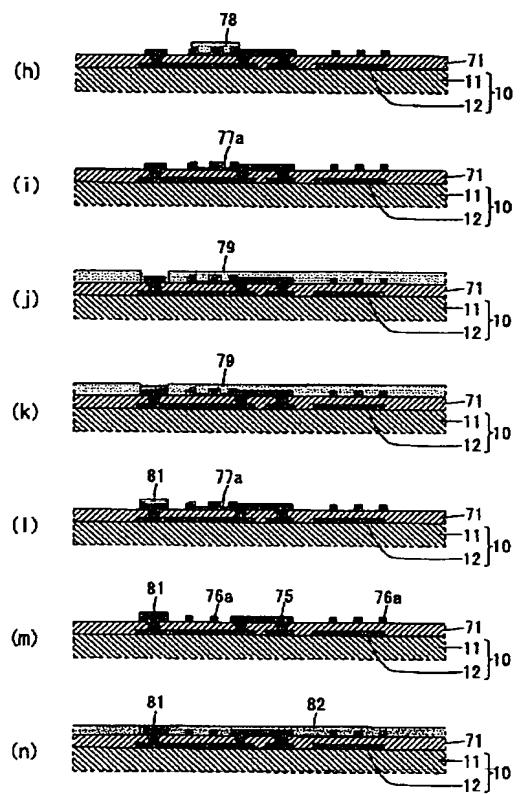
【図9】



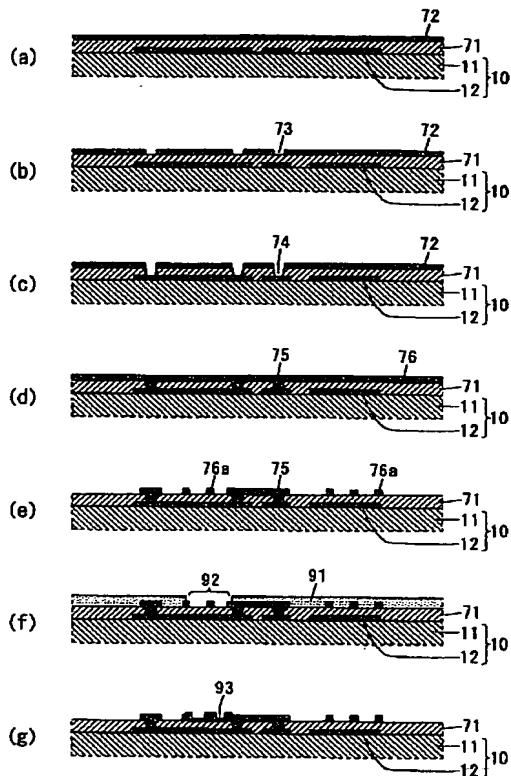
【図10】



【図11】



【図12】



フロントページの続き

(51) Int. Cl.
H 05 K 3/46

識別記号

F I
H 05 K 3/46
H 01 L 23/12

「マーク」(参考)
N
N

(72) 発明者 杉立 一彦
東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

(72) 発明者 太田 秋津
東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

(72) 発明者 徳島 弘明
東京都台東区台東1丁目5番1号 凸版印
刷株式会社内

F ターム(参考) 5E314 AA27 BB06 BB11 CC06 DD07
FF05 FF17
5E339 AB02 AC01 AD03 AD05 AE01
BC02 BD03 BD06 BD11 BE13
CC01 CD01 CE16 CF06 CF16
CF17 CG04
5E343 AA02 AA12 BB24 DD33 DD43
ER16 ER18 ER23 ER26 GG08
GG11
5E346 AA06 AA15 AA43 CC08 CC32
CC54 CC55 DD02 DD25 DD32
DD33 DD44 EE33 FF07 FF15
GG15 GG17 GG18 GG22 GG28
HH25 HH32

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.